



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

REC'D 14 MAR 2005

WIPO

PCT

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

IB 2005/50527

Patentanmeldung Nr. Patent application No. Demande de brevet n°

04100653.7

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Anmeldung Nr:
Application no.: 04100653.7
Demande no:

Anmeldetag:
Date of filing: 19.02.04
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Koninklijke Philips Electronics N.V.
Groenewoudseweg 1
5621 BA Eindhoven
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se referer à la description.)

Halbleiterinrichtung und eine Vorrichtung zur Herstellung einer
Halbleiterinrichtung

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L29/00

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT RO SE SI SK TR LI

Halfgeleiderinrichting en een werkwijze ter vervaardiging van een halfgeleiderinrichting

De uitvinding heeft betrekking op een halfgeleiderinrichting, omvattende een silicium omvattend halfgeleiderlichaam met een oppervlak, welk halfgeleiderlichaam nabij het oppervlak voorzien is van een transistor, omvattende:

5 een zich aan het oppervlak bevindende poortelektrode (gate) met aan weerszijden van de poortelektrode (gate) een "sidewall spacer", en verder omvattende aan weerszijden van de poortelektrode (gate) een in het halfgeleiderlichaam gevormd diffusiegebied, waarbij tenminste één diffusiegebied aan het oppervlak van het halfgeleiderlichaam voorzien is van een silicide.

10 De uitvinding heeft verder betrekking op een werkwijze ter vervaardiging van een halfgeleiderinrichting, omvattende de stappen:

- het verschaffen van een silicium omvattend halfgeleiderlichaam met een oppervlak dat voorzien is van een poortelektrode (gate);
 - het vormen van een "sidewall spacer" aan weerszijden van de poortelektrode (gate);
 - het vormen van een diffusiegebied in het halfgeleiderlichaam aan weerszijden van de poortelektrode (gate);
 - 15 – het uitvoeren van een amorfisatie implantatie om het silicium van het halfgeleiderlichaam aan het oppervlak van de diffusiegebieden amorf te maken, en
 - het omzetten van het amorf gemaakt silicium in een silicide via interactie met een metaal.
- 20

Een halfgeleiderinrichting van de in de aanhef genoemde soort is bekend uit het Amerikaanse octrooischrift US6,465,847B1. De halfgeleiderinrichting omvat een

25 halfgeleidende substraat laag; een isolerende laag, die op de substraatlaag is gevormd; een halfgeleidend actief gebied, gevormd op de isolerende laag, waarbij het actieve gebied een "source", een "drain" en een "body" daartussenin omvat. De halfgeleiderinrichting omvat verder een poortelektrode (gate), die gevormd is op de "body", zodanig dat de poortelektrode (gate), de "source", de "drain" en de "body" tezamen een transistor vormen. De hierboven

genoemde bekende halfgeleiderinrichting omvat verder tenminste één silicide gebied ter plaatse van de "source" of "drain". Het silicide is bijvoorbeeld gevormd uit het metaal titanium. Het silicide strekt zich tot een afstand van ten hoogste 10 nanometer uit tot onder de "sidewall spacer".

5 Een nadeel van de bekende halfgeleiderinrichting is dat de serieweerstand van de diffusiegebieden ("source" en "drain") hoog is. Dit beïnvloedt de werking van de halfgeleiderinrichting nadelig.

Met de uitvinding wordt beoogd om een halfgeleiderinrichting van de in de aanhef vermelde soort te verschaffen die een lagere serieweerstand van de diffusiegebieden en dus een betere werking heeft.

De in de aanhef genoemde halfgeleiderinrichting heeft daartoe volgens de uitvinding het kenmerk dat het silicide zich langs het oppervlak van het halfgeleiderlichaam meer dan 10 nanometer onder de "sidewall spacer" uitstrekt. Hierdoor is de serieweerstand van de diffusiegebieden lager en dus de werking van de halfgeleiderinrichting beter.

15 In een uitvoeringsvorm van de halfgeleiderinrichting volgens de uitvinding bevat het silicide een metaal, dat in het gevormde silicide een hogere diffusie snelheid heeft dan silicium. Dankzij de hogere diffusie snelheid van het metaal wordt het silicide tot ver onder de "sidewall spacer" gevormd.

Geschikte metalen met een relatief hoge diffusiesnelheid in silicide kunnen
20 gekozen worden uit de groep omvattende: Nikkel (Ni), Platina (Pt) en Palladium (Pd). Tevens zijn legeringen van deze metalen geschikt. Deze metalen zijn voordelig vanwege hun relatief hoge diffusiesnelheid in silicide vergeleken met silicium.

In een uitvoeringsvorm van de halfgeleiderinrichting volgens de uitvinding is de "sidewall spacer" L-vormig. Deze L-vormige "sidewall spacer" heeft een eerste gedeelte, dat grenst aan de poortelektrode (gate) en dat zich in hoofdzaak loodrecht ten opzichte van
25 het oppervlak van het halfgeleiderlichaam uitstrekt, en een tweede gedeelte dat zich langs het oppervlak van het halfgeleiderlichaam uitstrekt. De L-vormige "sidewall spacer" heeft als voordeel dat het silicide zich verder onder de "sidewall spacers" uitstrekt.

De dikte van het tweede gedeelte van de L-vormige "sidewall spacer",
30 gemeten in de richting loodrecht op het oppervlak van het halfgeleiderlichaam, is bij voorkeur niet meer dan 40 nanometer.

In een uitvoeringsvorm van de halfgeleiderinrichting volgens de uitvinding
bestrijkt een kanaal het halfgeleiderlichaam parallel aan het oppervlak van het halfgeleiderlichaam.

een isolerende laag uit. Bij de vakman is dit ook wel bekend als een "Silicon-on-Insulator" substraat.

In een uitvoeringsvorm van de halfgeleiderinrichting volgens de uitvinding omvat het halfgeleiderlichaam een germanium component.

5 In een uitvoeringsvorm van de halfgeleiderinrichting volgens de uitvinding omvat het halfgeleiderlichaam een "strained-silicon" laag.

Een werkwijze ter vervaardiging van de halfgeleiderinrichting van de in de aanhef genoemde soort is bekend uit het Amerikaanse octrooischrift US6,465,847B1. De werkwijze omvat de volgende stappen:

- 10
- het verschaffen van een halfgeleiderlichaam omvattende een substraat laag, een actieve laag en een begraven oxide laag daartussenin gelegen;
 - het vormen van een poortelektrode (gate) op het halfgeleiderlichaam, waarbij de poortelektrode (gate) een diëlectrische laag en een geleidende laag omvat;
 - het vormen van een "sidewall spacer" aan weerszijden van de poortelektrode (gate);
 - 15 – het vormen van "source" en "drain"-gebieden aan weerszijden van de poortelektrode (gate);
 - het uitvoeren van een amorfisatie implantatie om een laag amorf silicium te vormen ter plaatse van de "source" of "drain" gebieden;
 - het vormen van silicide gebieden ter plaatse van de "source" of "drain" gebieden.

20 Een nadeel van de bekende werkwijze is dat de serieweerstand van de diffusiegebieden van de halfgeleiderinrichting hoog is. Dit beïnvloedt de werking van de halfgeleiderinrichting nadelig.

Met de uitvinding wordt beoogd om een werkwijze van de in de aanhef vermelde soort te verschaffen waarmee de serieweerstand van de diffusiegebieden verlaagd kan worden.

25 De in de aanhef genoemde werkwijze heeft daartoe volgens de uitvinding het kenmerk dat bij het omzetten van het amorf gemaakte silicium in een silicide een metaal gebruikt wordt, dat in het gevormde silicide een hogere diffusie snelheid heeft dan silicium. Het voordeel hiervan is, dat het silicide tot meer dan 10 nanometer onder de "sidewall spacer" gevormd wordt. Hierdoor zal de serieweerstand van de diffusiegebieden verlaagd worden.

30 Een uitvoeringsvorm van de werkwijze volgens de uitvinding heeft het kenmerk dat bij het omzetten van het amorf gemaakte silicium in een silicide een metaal gekozen wordt uit de groep omvattende: Nikkel (Ni), Platina (Pt) en Palladium (Pd). Tevens

zijn legeringen van deze metalen geschikt. Deze metalen zijn voordelig vanwege hun relatief hoge diffusiesnelheid in silicide vergeleken met silicium.

Een uitvoeringsvorm van de werkwijze volgens de uitvinding heeft het kenmerk dat de amorfisatie implantatie wordt uitgevoerd in de richting van het substraat, waarbij de kleinste van de twee hoeken ten opzichte van de normaal op het oppervlak van het halfgeleiderlichaam (ook wel bekend als de implantatiehoek) groter dan 0 graden is. Met deze schuine implantatie wordt bewerkstelligd dat het silicium onder de "sidewall spacers" ook geamorfiseerd wordt. Het silicide zal daardoor verder onder de "sidewall spacers" gevormd worden.

Een uitvoeringsvorm van de werkwijze volgens de uitvinding heeft het kenmerk dat de "sidewall spacer" in L-vorm wordt gevormd met een eerste gedeelte, dat grenst aan de poortelektrode (gate) en dat zich in hoofdzaak loodrecht ten opzichte van het oppervlak van het halfgeleiderlichaam uitstrekt, en een tweede gedeelte dat zich langs het oppervlak van het halfgeleiderlichaam uitstrekt. De L-vormige "sidewall spacer" heeft als voordeel dat het mogelijk wordt om de afmetingen van het amorge gebied onder de "sidewall spacer" te controleren. Het silicide zal daardoor verder onder de "sidewall spacers" gevormd worden.

Het tweede gedeelte van de L-vormige "sidewall spacer" wordt bij voorkeur gevormd met een dikte, gemeten in een richting loodrecht op het oppervlak van het halfgeleiderlichaam, van ten hoogste 40 nanometer.

Deze en andere aspecten van de halfgeleiderinrichting en de werkwijze voor de vervaardiging van de halfgeleiderinrichting volgens de uitvinding zullen nader toegelicht worden aan de hand van figuren, waarin:

Fig. 1 een schematische dwarsdoorsnede van een bekende halfgeleiderinrichting toont;

Fig. 2 een schematische dwarsdoorsnede van een uitvoeringsvorm van de halfgeleiderinrichting volgens de uitvinding toont;

Fig. 3 t/m 10 schematische dwarsdoorsneden van de halfgeleiderinrichting in verschillende stadia van het vervaardigingsproces tonen;

Fig. 11 een voordeel van L-vormige "sidewall spacers" in combinatie met schuine amorfiserende implantatie toont.

Fig. 12 het silicide groeiproces bij gebruik van snel diffunderende metalen illustreert;

Fig. 13 een uitvoeringvorm van de inrichting met traditionele "sidewall spacers" in combinatie met schuine amorfisatie implantatie illustreert.

5

De figuren zijn niet op schaal weergegeven, maar dienen slechts ter illustratie. Gelijke referentiecijfers verwijzen naar gelijke onderdelen. Alternatieve uitvoeringsvormen zijn binnen de beschermingsomvang van de conclusies mogelijk.

10 Fig. 1 toont een schematische dwarsdoorsnede van een halfgeleiderinrichting 5 zoals bekend is uit het Amerikaanse octrooischrift US6,465,847B1. De halfgeleiderinrichting 5 omvat een silicium omvattend halfgeleiderlichaam 10 omvattende een oxide laag 15 en een actieve laag 20. Deze drie lagen tezamen vormen een SOI-substraat 50. In de actieve laag zijn aangebracht: isolerende gebieden 25 (gemaakt van bijvoorbeeld silicium oxide) en een
15 actief gebied 27. Het actieve gebied 27 bevat een "source" 80 en een "drain" 82. Deze worden ook wel diffusiegebieden genoemd. In deze beschrijving zullen deze twee termen door elkaar heen gebruikt worden. Het actieve gebied 27 bevat voorts een "body" 68. De "source" 80 en "drain" 82 omvatten tevens "source" en "drain" uitstulpingen (extensions) 84,86. Op de actieve laag 20 is verder aangebracht een isolerende laag 30 (gemaakt van
20 bijvoorbeeld silicium oxide) en een poortelektrode (gate) 70. De poortelektrode (gate) 70 omvat een geleidende laag 32 (gemaakt van bijvoorbeeld poly kristallijn silicium), en een silicide laag 34 (gemaakt van titaansilicide). Aan weerszijden van de poortelektrode 70 (gate) bevindt zich een "sidewall spacer" 36,38. De "source" 80 omvat een silicide gebied 90 welke in de regel een lateraal grensvlak 44 en een verticaal grensvlak 60 heeft met de "source" 80.
25 De "source" 80 heeft een junctie 64 met de "body" 68. De "drain" 82 omvat een silicide gebied 92 welke in de regel een lateraal grensvlak 46 en een verticaal grensvlak 62 heeft met de "drain" 82. De "drain" 82 heeft een junctie 66 met de "body" 68.

De silicide gebieden 90,92 hebben oppervlakken 40,42 waarop in een later stadium elektrische verbindingen gemaakt kunnen worden. Hiervoor gebruikt men in de regel
30 "vias", contactgaten en geleidingsdraden. Deze componenten zijn ten behoeve van de overzichtelijkheid weggelaten en zullen verderop in de beschrijving ook weggelaten worden.

Een kenmerk van de silicide gebieden 90,92 is dat deze zich in de bekende inrichting tot een afstand van ten hoogste 10 nanometer onder de "sidewall spacers" 36,38 uitstrekken. Het is bekend dat dit silicide onder de "sidewall spacers" 36,38 een gunstig

effect heeft op de werking van de halfgeleiderinrichting 5, omdat door dit silicide de serieweerstand van de "source" 80 en "drain" 82 lager is. Echter, in de regel wil men juist een veilige afstand creëren tussen de silicidegrensvlakken 60,62 en de juncties 64,66 met de "body" 68, omdat een te kleine afstand kan leiden tot een grote lekstroom door deze juncties 64,66.

Fig. 2 toont een schematische dwarsdoorsnede van een uitvoeringsvorm van de halfgeleiderinrichting 105 volgens de uitvinding. De halfgeleiderinrichting 105 omvat een silicium omvattend halfgeleiderlichaam 110 omvattende een oxide laag 115 en een actieve laag 120. Deze drie lagen tezamen vormen een SOI-substraat 150. Het SOI-substraat wordt slechts gebruikt ter illustratie van de uitvinding. Andere substraten zijn ook mogelijk. In de actieve laag zijn aangebracht: isolerende gebieden 125 (gemaakt van bijvoorbeeld silicium oxide) en een actief gebied 127. Het actieve gebied 127 bevat een "source" 180 en een "drain" 182. Deze worden ook wel diffusiegebieden genoemd. Het actieve gebied 127 bevat voorts een "body" 168. De "source" 180 en "drain" 182 omvatten tevens "source" en "drain" uitstulpingen (extensions) 184,186. Op de actieve laag 120 is verder aangebracht een isolerende laag 130 (gemaakt van bijvoorbeeld silicium oxide) en een poortelektrode (gate) 170. De poortelektrode (gate) 170 omvat een geleidende laag 132 (gemaakt van bijvoorbeeld poly kristallijn silicium), en een silicide laag 134. Indien de geleidende laag 132 vervaardigd is van metaal, zal de silicide laag 134 ontbreken. Aan weerszijden van de poortelektrode 170 (gate) bevindt zich een L-vormige "sidewall spacer" 136,138. De "source" 180 omvat een silicide gebied 190 welke in de regel een lateraal grensvlak 144 en een verticaal grensvlak 160 heeft met de "source" 180. De "source" 180 heeft een junctie 164 met de "body" 168. De "drain" 182 omvat een silicide gebied 192 welke in de regel een lateraal grensvlak 146 en een verticaal grensvlak 162 heeft met de "drain" 182. De "drain" 182 heeft een junctie 166 met de "body" 168.

De silicide gebieden 190,192 hebben oppervlakken 140,142 waarop in een later stadium elektrische verbindingen gemaakt kunnen worden.

Een kenmerk van de silicide gebieden 190,192 in de inrichting volgens de uitvinding is dat deze zich tot ver onder de "sidewall spacers" 136,138 uitstrekken. Aan deze silicide gebieden 136,138 zitten uitstulpingen (extensions) 194,196. Deze uitstulpingen (extensions) 194,196 zijn van belang, omdat deze de serieweerstand van de diffusiegebieden 180,182 verlagen. Zoals uit de figuur blijkt is deze weerstandsverlaging gerealiseerd zonder dat daarom de afstand tussen de silicidegrensvlakken 160,162 en de juncties 164,166 kleiner wordt. Het silicidegebied 190 heeft een lateraal grensvlak 144 en een verticaal grensvlak 160. Het silicidegebied 192 heeft een lateraal grensvlak 146 en een verticaal grensvlak 162.

“drain” uitstulpingen (extensions) 184,186, zodat er geen lekstroom door de juncties 164,166 naar de “body” 168 zal zijn.

Fig. 3 toont een schematische dwarsdoorsnede van de halfgeleiderinrichting 105 in een stadium van het vervaardigingproces. In dit stadium wordt een silicium omvattend halfgeleiderlichaam 110 verschaft. In deze uitvoeringsvorm is het een SOI-substraat 150, maar het kan ook een andere type substraat zijn. Deze omvat een oxide laag 115 en een actieve laag 120. Dit silicium omvattend halfgeleiderlichaam 110 heeft verder nog een oppervlak 126.

Fig. 4 toont een schematische dwarsdoorsnede van de halfgeleiderinrichting 105 in een stadium van het vervaardigingproces. In dit stadium worden isolerende gebieden 125 en een actief gebied 127 gevormd. Op de actieve laag 120 wordt een isolerende laag 130 (gemaakt van bijvoorbeeld silicium oxide) en een poortelektrode (gate) 170 gevormd. De poortelektrode (gate) 170 omvat een geleidende laag 132 (gemaakt van bijvoorbeeld polikristallijn silicium)

Fig. 5 toont een schematische dwarsdoorsnede van de halfgeleiderinrichting 105 in een stadium van het vervaardigingproces. In dit stadium worden de “source” en “drain” uitstulpingen (extensions) 184,186 gevormd, ook wel ondiepe implantatie gebieden genoemd. Dit kan bijvoorbeeld geschieden door een ionenimplantatie 172 met behulp van een “lightly doped drain (LDD)” techniek. De ionen, die geschikt zijn voor deze implantatiestap zijn o.a. Fosfor (P), Arseen (As), Antimoon (Sb) of een combinatie van deze ionen, als het gaat om een halfgeleiderinrichting 105 van het n-geleidingstype (NMOS transistor). Indien het gaat om een halfgeleiderinrichting 105 van het p-geleidingstype (PMOS transistor) is o.a. Boor (B) geschikt. De implantatie energie ligt typisch in het bereik van 0.1 keV tot 80 keV en de dosering ligt typisch in het bereik van 1×10^{12} tot ongeveer 5×10^{15} atomen/cm².

Naast het gebruik van implantatietechnieken, kan men ook de “source” en “drain” uitstulpingen (extensions) vormen door middel van een “solid phase epitaxy (SPE)” techniek. In grote lijnen bestaat deze techniek uit de volgende stappen:

- het amorfiseren van het silicium lichaam, waarbij amorfisatie implantatie “self-aligned” geschiedt, door de aanwezigheid van de poortelektrode (gate) 170;
 - het aanbrengen van dotering (doping) door middel van implantatie, hetgeen tevens “self-aligned” geschiedt, door de aanwezigheid van de poortelektrode (gate) 170.
- Deze dotering (doping) kan van zowel het p- als het n-geleidingstype zijn;

- het herkristalliseren van het silicium door middel van een “low-temperature anneal” stap (ongeveer 700°C).

Andere methoden voor het vervaardigen van “source” en “drain” uitstulpingen (extensions) zijn onder andere “plasma doping”, “plasma imersion” en “vapor phase doping”.

- 5 Voor meer gedetailleerde informatie zie ook het Amerikaanse octrooischrift US6,465,847B1.

Fig. 6 toont een schematische dwarsdoorsnede van de halfgeleiderinrichting 105 in een stadium van het vervaardigingproces. In dit stadium worden L-vormige “sidewall spacers” 136,138 aangebracht. Hiervoor bestaan verschillende technieken. Een van deze

10 technieken bestaat in grote lijnen uit de volgende stappen:

- het aanbrengen van een dunne oxidelaag over de poortelektrode 170;
- het aanbrengen van een dikke nitridelaag boven op de dunne oxidelaag;
- het natchemisch selectief etsen van de nitridelaag, zodat nitride “spacers” ontstaan;
- het droog etsen van de dunne oxidelaag (dit kan bijvoorbeeld door tijd selectief te
- 15 etsen);
- het selectief verwijderen van het nitride door natchemisch etsen.

Na de laatste stap blijven L-vormige oxide “spacers” 136,138 over. De “sidewall spacers” 136,138 kunnen dus o.a. gemaakt zijn van onder andere silicium oxide (SiO_2) of een silicium nitride (bijvoorbeeld Si_3N_4), maar andere materialen zijn ook

20 mogelijk. Later in deze beschrijving zal nog in meer detail worden ingegaan op de L-vormige “sidewall spacers” 136,138 aan de hand van Fig. 11.

Fig. 7 toont een schematische dwarsdoorsnede van de halfgeleiderinrichting 105 in een stadium van het vervaardigingproces. In dit stadium worden diepe implantatie gebieden 180,182 gevormd. In deze beschrijving zal verder naar deze gebieden verwezen

25 worden met de termen “source” 180 en “drain” 182. De gebieden kunnen bijvoorbeeld worden gevormd door middel van een “solid phase epitaxy (SPE)” techniek zoals eerder beschreven. Net zoals bij de vorming van de “source” en “drain” uitstulpingen (extensions) 184,186 is in deze processtap een ionenimplantatie 114 nodig. De ionen, die geschikt zijn voor deze implantatiestap zijn o.a. Fosfor (P) en Arseen (As) als het gaat om een

30 halfgeleiderinrichting van het n-geleidingstype (NMOS transistor). Indien het gaat om een halfgeleiderinrichting van het p-geleidingstype (PMOS transistor) is o.a. Bor (B) geschikt. De implantatie energie ligt typisch in het bereik van 0,1 keV tot 100 keV en de dooering ligt typisch in het bereik van 10^{15} tot ongeveer 10^{18} atomen/cm². De afmetingen van de implantatie gebieden zijn afhankelijk van de afmetingen van de poortelektrode 170.

Fig. 8 toont een schematische dwarsdoorsnede van de halfgeleiderinrichting 105 in een stadium van het vervaardigingproces. In dit stadium wordt een amorfisatie implantatie 116 uitgevoerd. Hierbij worden amorfe silicium gebieden 189,191 gevormd. Deze amorfe silicium gebieden 189,191 hebben tevens uitstulpingen (extensions) 193,195 die tot onder de "sidewall spacers" 136,138 reiken. Later in deze beschrijving zal in meer detail hierop ingegaan worden. Het voordeel van het toepassen van de amorfisatie implantatie 116 is dat de nog te vormen silicide overgangen nauwkeuriger zullen worden bepaald en bovendien de uiteindelijke contact weerstand van het silicide lager zal zijn.

Bij de amorfisatie implantatie wordt gebruikt gemaakt van elementen uit de groep omvattende: Xeon (Xe), Argon (Ar), Arseen (As), Antimoon (Sb), Indium (In), Silicium (Si) en Germanium (Ge). Het is voor de vakman niet moeilijk om nog meer elementen of verbindingen te vinden die gebruikt kunnen worden voor deze implantatie. Al deze variaties vallen onder het bereik van de uitvinding. De implantatie energie ligt typisch in het bereik van 0.1 keV tot 100 keV en de dosering ligt typisch in het bereik van 4×10^{13} tot ongeveer 1×10^{16} atomen/cm².

Tijdens de amorfisatie implantatie 116 wordt tevens ook de geleidende laag 132 gedeeltelijk geamorfiseerd (dit is niet in de figuren aangegeven om zo de figuren overzichtelijk te houden). Het amorfiseren van de geleidende laag 132, kan eventueel voorkomen worden door het aanbrengen van een zogenaamde "capping" laag op de poortelektrode (gate) 170.

De amorfisatie implantatie 116 geschiedt bij voorkeur van onder een hoek H1. De hoek H1 is hierbij gedefinieerd ten opzichte van de normaal N op het oppervlak 126 van het SOI-substraat 150. Hierdoor zullen de uitstulpingen 193,195 tot verder onder de "sidewall spacers" 136,138 gevormd worden, hetgeen gunstig is voor de vorming van het silicide later in het proces. Hierop wordt nader ingegaan later in de beschrijving.

Er zijn doorgaans twee oriëntaties van de transistoren op het halfgeleiderlichaam 110 mogelijk, die loodrecht op elkaar staan. Daarom wordt tijdens de amorfisatie implantatie 116 het SOI-substraat 150 vier maal een kwart slag geroteerd, met het doel om onder alle "sidewall spacers" 136,138 het silicium te amorfiseren.

Fig. 9 toont een schematische dwarsdoorsnede van de halfgeleiderinrichting 105 in een stadium van het vervaardigingproces. In dit stadium wordt een laag metaal 118 aangebracht op de "source" 180, de "drain" 182, poortelektrode (gate) 170 en de "sidewall spacers" 136,138. Het metaal 118 kan gekozen worden uit de groep omvattende Nikkel (Ni), Platina (Pt) en Palladium (Pd). Legeringen van deze metalen zijn ook mogelijk.

De depositie van de metaal laag 118 kan geschieden door bijvoorbeeld sputteren. De silicide gebieden 190,192 (Fig. 10), kunnen nu gevormd worden door het metaal 118 te laten reageren met de blootgestelde oppervlakken 140,142 van de "source" 180 en de "drain" 182. Hiervoor bestaan verschillende silicidatie technieken. "Rapid thermal annealing (RTA)" is één van de mogelijke technieken. De temperatuur wordt dan gedurende korte tijd (0 ("fast spike") – 120 seconden) verhoogd. Deze verhoogde temperatuur ligt typisch tussen de 200°C en de 600°C. Uiteraard zijn andere verhittijden en temperaturen ook mogelijk.

Het metaal 118 dat uiteindelijk omgezet dient te worden in silicide kan veel gemakkelijker door de amorfe silicium gebieden 189,191 diffunderen dan door het kristallijne silicium van de "source" 180 en de "drain" 182. De overgangen 144,146 vormen als het ware een diffusie barrière voor het metaal 118. Deze nauwkeurige bepaling van de silicide gebieden 190,192 (Fig. 10) is nodig om te voorkomen dat het silicide zich verder dan de juncties 164,166 van de diffusiegebieden 180,182 uitstrekt. In dat geval zou er sprake zijn van een lekstroom van de diffusiegebieden 180,182 naar de "body" 168.

In het uiteindelijke product mag geen amorf silicium meer aanwezig zijn. Als het er nog wel zit, kan dat problemen opleveren. Eventueel overgebleven amorf silicium kan met een extra "anneal" stap verwijderd worden.

Fig. 10 toont een schematische dwarsdoorsnede van de halfgeleiderinrichting 105 in een stadium van het vervaardigingproces. In dit stadium zijn de silicidegebieden 190,192,134 gevormd. Bovendien is het silicide ook tot onder de "sidewall spacers" 136,138 gegroeid in de vorm van uitstulpingen 194,196. Deze groei wordt sterk bevorderd indien het metaal 118 (Fig. 9) gekozen wordt uit de groep omvattende Nikkel (Ni), Platina (Pt) en Palladium (Pd). Legeringen van deze metalen zijn ook mogelijk. Belangrijk hierin is, dat het metaal/de legering in het gevormde silicide een hogere diffusie snelheid heeft dan silicium.

Het is voor de vakman niet moeilijk om nog meer metalen of metaalverbindingen te vinden die deze eigenschap hebben. Al deze variaties vallen onder het bereik van de uitvinding.

De uitstulpingen 194,196 verlagen de seriële weerstand van de "source" 180 en "drain" 182 significant, hetgeen de werking van de halfgeleiderinrichting sterk verbetert.

De uitvinding heeft tevens beoogd dat het silicide verder onder "sidewall spacers" 136,138 gevormd wordt, zonder dat daarbij de lekstroom van de diffusiegebieden 180,182 naar de "body" 168 toeneemt. De uitstulpingen 194,196 vallen binnen de "source" en "drain" gebieden 180,182.

Fig. 11. illustreert een voordeel van L-vormige "sidewall spacers" 136,138 in combinatie met schuine amorfisatie implantatie. Deze figuur toont een schematische uitvergroting van het halfgeleiderlichaam 105, ter plaatse van de "sidewall spacer" 136, in een stadium van het vervaardigingproces. Een belangrijk aspect van de uitvinding is gebaseerd op het feit dat de uitstulping van het amorge gebied 193 op een gecontroleerde wijze aangebracht wordt, omdat deze op zijn beurt weer de plaats van het silicide 194 bepaalt later in het vervaardigingproces.

De dimensies van de uitstulping 193 kunnen nauwkeurig bepaald worden. De plaats van het grensvlak 500 van de uitstulping 193, wordt met name bepaald door de dikte D1 van het eerste gedeelte van de "sidewall spacer" 136 en de implantatie hoek H1. Omdat de implantatie altijd in de richting van het substraat 150 is, is de implantatie hoek H1 de kleinste van de twee hoeken met de normaal N op het oppervlak 126 van het halfgeleiderlichaam 110.

De ionen 116 kunnen in de richting gemeten loodrecht op het oppervlak 126 niet door het eerste gedeelte van de "sidewall spacer" 136 heen dringen. Ter illustratie: Bij loodrechte implantatie (de implantatie hoek H1 is dan 0°) zal onder het eerste gedeelte van de "sidewall spacer" 136 niet geamorfiseerd worden en dus zal daar later ook (bijna) geen silicide gevormd worden.

De dikte van de uitstulping D3 hangt zowel af van de dikte D2 van het tweede gedeelte van de L-vormige "sidewall spacer" 136 als de implantatie energie van de amorfisatie implantatie 116 in combinatie met de implantatie hoek H1. De dikte D2 van de L-vormige "spacer" 136 is bij voorkeur minder dan 40 nanometer, omdat anders het effect van de amorfisatie implantatie 116 te laag is. In een uitvoeringsvorm van de halfgeleiderinrichting 105 volgens de uitvinding heeft het tweede gedeelte een dikte D2 van 5 tot 20 nanometer.

De additionele afstand A1, waarover het amorge gebied zich uitstrekt ten opzichte van de rand 405 van het eerste gedeelte van de L-vormige "sidewall spacer" 136 wordt met name bepaald door de implantatiehoek H1. Omdat deze hoek H1 zeer nauwkeurig bepaald kan worden tijdens het vervaardigingproces kan dus ook de plaats van het grensvlak 500 zeer nauwkeurig bepaald worden. De implantatiehoek H1 kan daarom voor "fine-tuning" gebruikt worden. De dimensies D1,D2 van de "sidewall spacer" 136 kunnen ook nauwkeurig bepaald worden tijdens het vervaardigingproces. De vakman kan dus met de parameters D1, D2 en H1 nauwkeurig bepalen waar de amorfisatie implantatie ionen terechtkomen en dus ook waar het uiteindelijke silicide terechtkomt.

Een ander voordeel van de L-vormige "sidewall spacer" 136 is dat zelfs bij implantatie van onder een hoek H1 ongelijk aan 0° , het grensvlak 515 tussen het amorf silicium en het kristallijne silicium nagenoeg parallel aan het oppervlak 126 loopt. Indien de "sidewall spacer" een traditionele structuur heeft, zal dit grensvlak 515 schuin komen te
5 liggen. Bij een te hoge implantatie energie kan dit grensvlak te dichtbij of zelfs voorbij de junctie 164 komen te liggen, hetgeen na silicidatie weer tot een ongewenste lekstroom van de diffusie gebieden 180,182 naar de "body" 168 kan leiden.

Fig. 12. illustreert het silicide groeiproces bij gebruik van snel diffunderende metalen. Deze figuur laat de halfgeleider inrichting 105 zien tijdens de vorming van het
10 silicide 190. Hierbij ligt het metaal 118 dus nog op de "source" 180, de "drain" 182, de poortelektrode (gate) 170 en de "sidewall spacers" 136,138. Het metaal 118 wordt bij voorkeur gekozen uit de groep omvattende Nikkel (Ni), Platina (Pt) en Palladium (Pd). Legeringen van deze metalen zijn ook mogelijk. Belangrijk hierin is, dat in het gevormde silicide 190 dit metaal of deze legering een hogere diffusie snelheid heeft dan silicium. Als
15 gevolg van deze eigenschap zal de groeisnelheid 600 naar beneden toe van het silicide 190 significant groter zijn dan de groeisnelheid 620 naar boven toe. Bovendien is het van groot belang dat ook de groei snelheid 610 van de silicide uitstulping 194 onder de "sidewall spacer" 136 groot is, zodat al het amorf silicium 193 uiteindelijk omgezet wordt in silicide 194. Tijdens de vorming van het silicide 190,194 wordt de metaal laag 118 "geconsumeerd".
20 Eventuele restanten dienen later in het vervaardigingproces verwijderd te worden. Hiervoor bestaan conventionele technieken.

Indien bijvoorbeeld nikkel als metaal 118 gebruikt wordt, komt het oppervlak 140 iets hoger te liggen dan het oppervlak 126 van het SOI-substraat 150. Ter illustratie: indien 22 nanometer nikkelsilicide gegroeid wordt, ligt ongeveer 4 nanometer daarvan boven
25 het oppervlak 126 van het oorspronkelijke halfgeleiderlichaam 110.

Tevens wordt op de poortelektrode (gate) 170 een silicide laag 134 gevormd. Ook hier geldt dat de groeisnelheid 630 naar beneden toe groter is dan de groeisnelheid 640 naar boven toe.

Fig. 13. illustreert een uitvergroting van een uitvoeringvorm van de
30 halfgeleiderinrichting 205 met traditionele "sidewall spacers" 236 in combinatie met amorfisatie implantatie 215 van onder een implantatiehoek H2. De werkwijze ter vervaardiging van de halfgeleiderinrichting 205 bevindt zich in het stadium van de
amorfisatie implantatie.

Ook hier wordt, ter illustratie, een SOI-substraat 250 verschaft, met daarin aanwezig een silicium omvattend halfgeleiderlichaam 210 omvattende een oxide laag 215 en een actieve laag 220. Tevens zijn in de actieve laag 220 isolerende gebieden 225 en een actief gebied 227 aangebracht. Op de actieve laag 220 is reeds een isolerende laag 230 (gemaakt van bijvoorbeeld silicium oxide) en een poortelektrode (gate) 270 gevormd. Deze poortelektrode (gate) 270 omvat een geleidende laag 232 (gemaakt van bijvoorbeeld polikristallijn silicium). Tevens zijn reeds gevormd de "sidewall spacers" 236, de ondiepe implantatiegebieden 284 en de diepe implantatiegebieden 280.

De amorfisatie implantatie vindt ook hier plaats van onder een implantatiehoek H2 die groter dan 0° is. De implantatie hoek H2 is de kleinste van de twee hoeken met de normaal N op het oppervlak 226 van het SOI-substraat 250. Hierdoor zal het amorse gebied 289 zich tot een bepaalde afstand A2 onder de "sidewall spacer" 236 uitstrekken. Deze afstand A2 is groter dan wanneer de implantatie hoek H2 gelijk aan 0° zou zijn geweest. Echter, men dient een bepaalde afstand A3 te waarborgen tussen het amorse gebied en de junctie 264, omdat anders de lekstroom van de "source" 280 naar de "body" 268 te groot wordt. De maximale implantatie hoek H2 is dus kleiner dan de maximale implantatie hoek H1 (Fig. 11) bij L-vormige "sidewall spacers" 136.

Alle figuren zijn slechts schematisch en bovendien niet op schaal opgesteld. Zij zijn gebruikt ter verduidelijking van de met de uitvinding beoogde uitvoeringsvormen en technische achtergronden. Grensvlakken in de figuur kunnen in realiteit andere vormen hebben dan in de figuur weergegeven. Vanzelfsprekend zal elke vakman ook in staat zijn om nieuwe uitvoeringsvormen te bedenken. Deze vallen echter binnen de beschermingsomvang van de claims.

Zo kan men in plaats van een enkelvoudige poortelektrode (gate) een dubbele of meervoudige poortelektrode (gate) architectuur vervaardigen.

Ook kan men in het geval van L-vormige "sidewall spacers" er voor kiezen om de "sidewall spacers" op te vullen met bijvoorbeeld nitride, zodat deze toch weer een traditionele vorm hebben. Dit dient bij voorkeur na de amorfisatie implantatie te geschieden. Het opvullen van de "sidewall spacers" heeft als voordeel dat het aanbrengen van andere lagen (bijvoorbeeld oxide lagen) boven op de halfgeleiderinrichting vergemakkelijkt wordt.

In de figuren wordt, ter illustratie, uitgegaan van SOI-substraten, maar de uitvinding is ook toepasbaar op "bulk"-substraten, "strained-silicon" substraten en substraten, die een germanium component bevatten.

CONCLUSIES:

1. Halfgeleiderinrichting (105,205) omvattende een silicium omvattend halfgeleiderlichaam (110,210) met een oppervlak (126,226), welk halfgeleiderlichaam (110,210) nabij het oppervlak (126,226) voorzien is van een transistor, omvattende:
5 een zich aan het oppervlak (126,226) bevindende poortelektrode (gate) (170,270) met aan weerszijden van de poortelektrode (gate) (170,270) een "sidewall spacer" (136,138,236), en verder omvattende aan weerszijden van de poortelektrode (gate) (170,270) een in het halfgeleiderlichaam (110,210) gevormd diffusiegebied (180,182,280), waarbij tenminste één diffusiegebied (180,182,280) aan het oppervlak (126,226) van het halfgeleiderlichaam (110,210) voorzien is van een silicide (190,192),
10 met het kenmerk dat het silicide (190,192) zich langs het oppervlak (126,226) van het halfgeleiderlichaam (110,210) tot meer dan 10 nanometer onder de "sidewall spacer" (136,138,236) uitstrekt.
2. Halfgeleiderinrichting (105,205) volgens conclusie 1,
15 met het kenmerk dat het silicide (190,192) een metaal omvat, dat in het gevormde silicide een hogere diffusie snelheid heeft dan silicium.
3. Halfgeleiderinrichting (105,205) volgens conclusie 2,
20 met het kenmerk dat het metaal (118) gekozen is uit de groep omvattende Nikkel (Ni), Platina (Pt) en Palladium (Pd) en legeringen van deze metalen.
4. Halfgeleiderinrichting (105) volgens conclusie 1,
25 met het kenmerk dat de "sidewall spacer" (136,138) L-vormig is met een eerste gedeelte, dat grenst aan de poortelektrode (gate) (170) en dat zich in hoofdzaak loodrecht ten opzichte van het oppervlak (126) van het halfgeleiderlichaam (110) uitstrekt, en een tweede gedeelte dat zich langs het oppervlak (126) van het halfgeleiderlichaam (110) uitstrekt.

5. Halfgeleiderinrichting (105) volgens conclusie 4,
met het kenmerk dat

het tweede gedeelte van de L-vormige "sidewall spacer" (136,138) een dikte (D2) heeft,
5 gemeten in een richting loodrecht op het oppervlak (126) van het halfgeleiderlichaam (110),
van ten hoogste 40 nanometer.

6. Halfgeleiderinrichting (105,205) volgens conclusie 1,
met het kenmerk dat

10 zich in het halfgeleiderlichaam (110,210) parallel aan het oppervlak (126,226) van het
halfgeleiderlichaam (110,210) een isolerende laag (115,215) uitstrekt.

7. Halfgeleiderinrichting (105) volgens conclusie 1,
met het kenmerk dat

15 het halfgeleiderlichaam (110) een germanium component omvat.

8. Halfgeleiderinrichting (105) volgens conclusie 1,
met het kenmerk dat
het halfgeleiderlichaam (110) een "strained-silicon" laag omvat.

20

9. Werkwijze ter vervaardiging van een halfgeleiderinrichting (105,205) volgens
conclusie 1, omvattende de stappen:

- het verschaffen van een silicium omvattend halfgeleiderlichaam (110,210) met een
oppervlak (126,226) dat voorzien is van een poortelektrode (gate) (170,270);
- 25 — het vormen van een "sidewall spacer" (136,138,236) aan weerszijden van de
poortelektrode (gate) (170,270);
- het vormen van een diffusiegebied (180,182,280) in het halfgeleiderlichaam
(110,210) aan weerszijden van de poortelektrode (gate) (170,270);
- het uitvoeren van een amorfisatie implantatie (116,216) om het silicium van het
30 halfgeleiderlichaam (110,210) aan het oppervlak (126,226) van de diffusiegebieden
(180,182,280) amorf te maken.

en

— het vormen van het amorfisatiegebied (180,182,280) in een halfgeleiderlichaam
van een ander materiaal dan het amorfisatiegebied (180,182,280).

met het kenmerk dat

bij het omzetten van het amorf gemaakte silicium (189,191,289) in een silicide (190) een metaal (118) gebruikt wordt, dat in het gevormde silicide (190) een hogere diffusie snelheid heeft dan silicium.

5

10. Werkwijze volgens conclusie 9,

met het kenmerk dat

het metaal (118) gekozen wordt uit de groep omvattende Nikkel (Ni), Platina (Pt) en Palladium (Pd) en legeringen van deze metalen.

10

11. Werkwijze volgens conclusie 9,

met het kenmerk dat

de amorfisatie implantatie hoek (H1,H2) groter dan 0 graden is.

15

12. Werkwijze volgens conclusie 9,

met het kenmerk dat

de "sidewall spacer" (136,138) in L-vorm wordt gevormd met een eerste gedeelte, dat grenst aan de poortelektrode (gate) (170) en dat zich in hoofdzaak loodrecht ten opzichte van het oppervlak (126) van het halfgeleiderlichaam (110) uitstrekt, en een tweede gedeelte dat zich

20

langs het oppervlak (126) van het halfgeleiderlichaam (110) uitstrekt.

13. Werkwijze volgens conclusie 12,

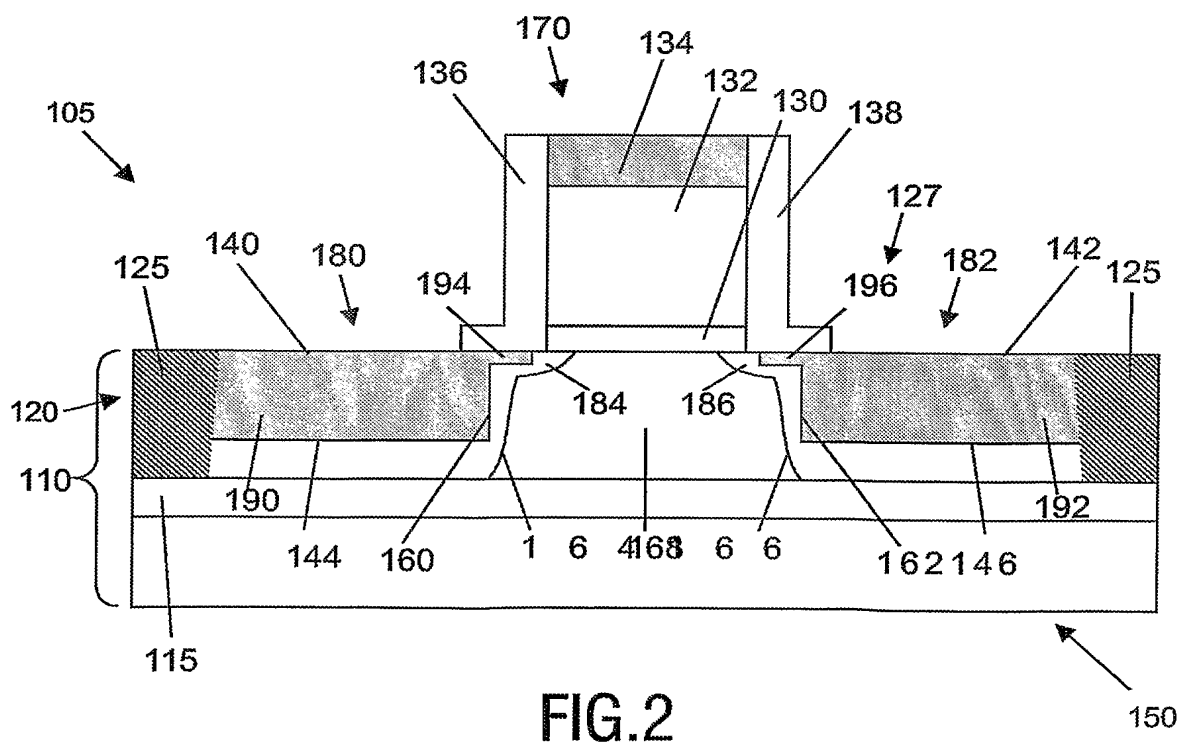
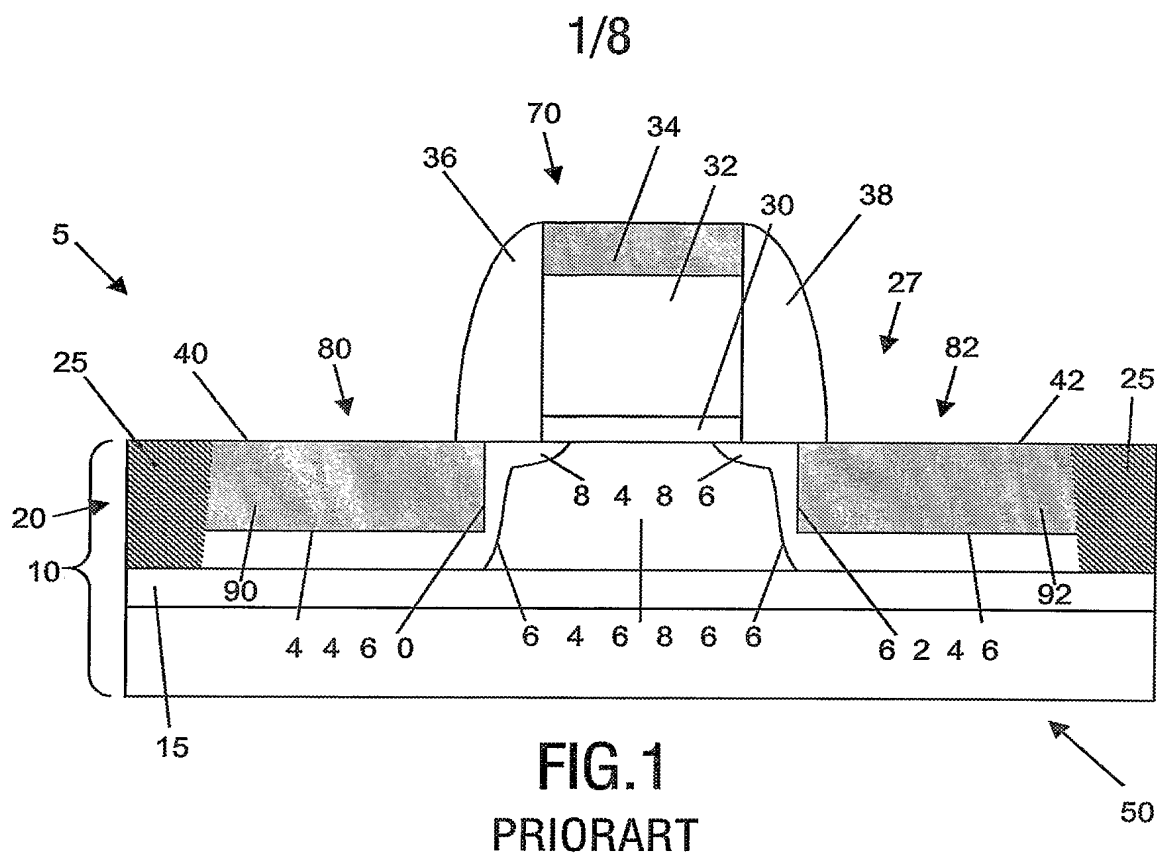
met het kenmerk dat

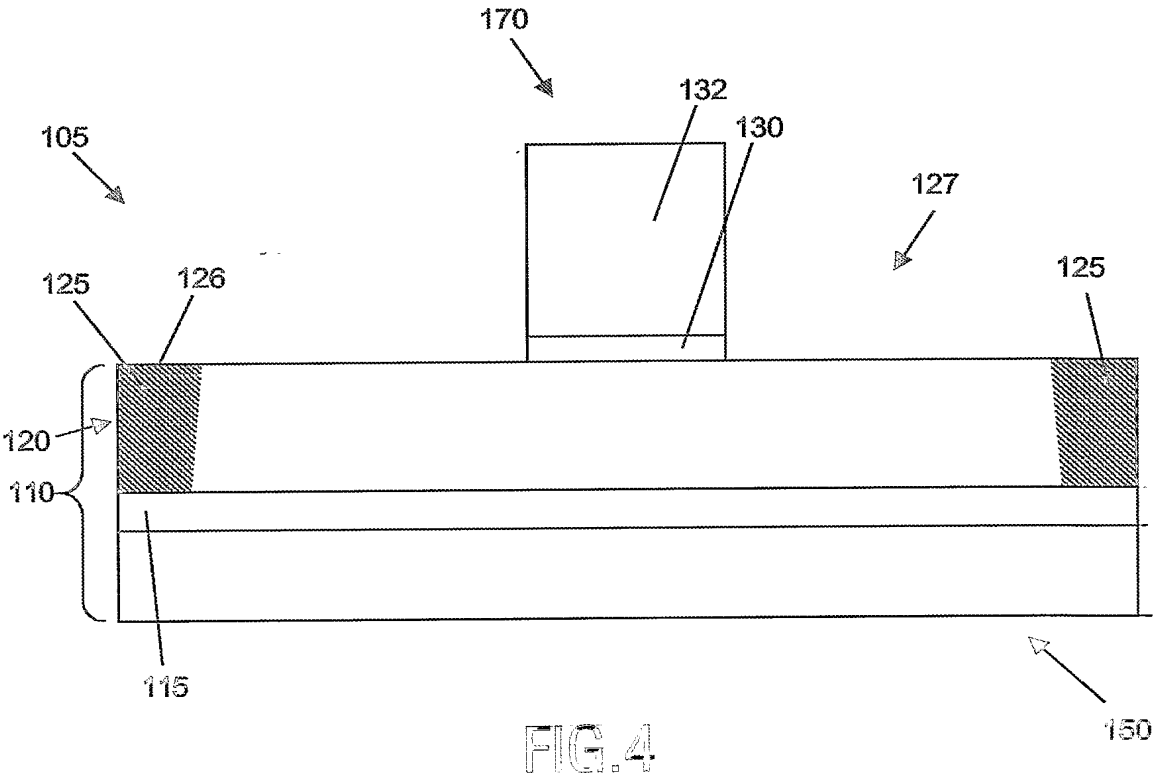
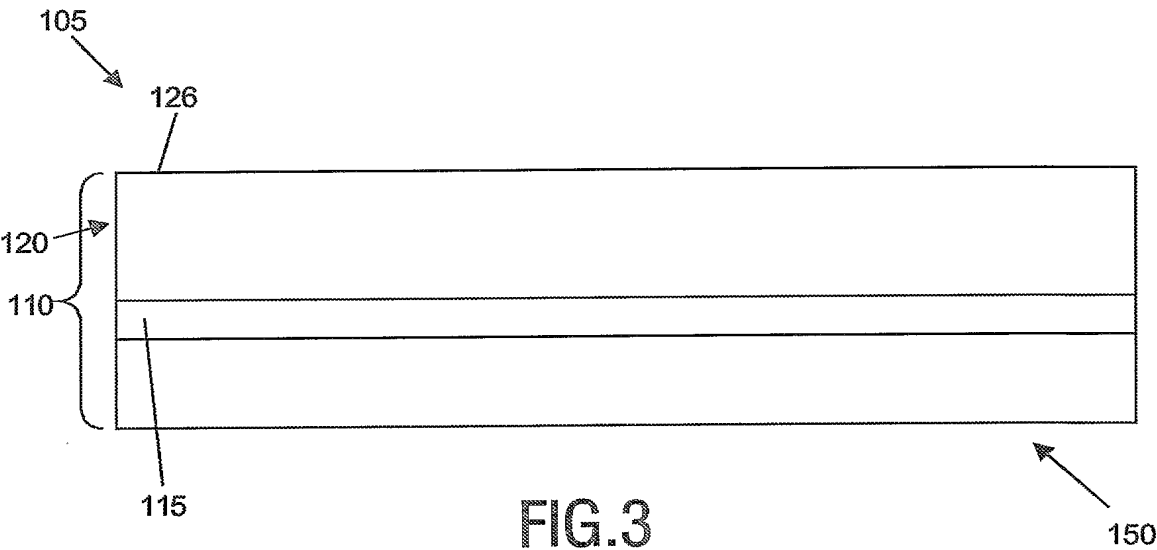
het tweede gedeelte van de L-vormige "sidewall spacer" (136,138) wordt gevormd met een
25 dikte (D2), gemeten in een richting loodrecht op het oppervlak (126) van het
halfgeleiderlichaam (110), van ten hoogste 40 nanometer.

ABSTRACT:

This invention relates to a semiconductor device (105) and a method of manufacturing this device. A preferred embodiment of the invention is a semiconductor device (105), comprising a silicon semiconductor substrate (110), an oxide layer (115) and an active layer (120). In the active layer isolating areas (125) and an active area (127) have been
5 formed. The active area (127) comprises a source (180), a drain (182) and a body (168). The source (180) and drain (182) also comprise source and drain extensions (184,186). The active layer (120) is provided with a gate (170). On both sides of the gate (170), L-shaped sidewall spacers are located. The source (180) and drain (182) also comprise silicide regions (190,192). A characteristic of these regions is that they have extensions (194,196) located
10 under the sidewall spacers (136,138). These extensions (194,196) strongly reduce the series resistance of the "source" (194) and "drain" (196), which significantly improves the performance of the semiconductor device (105).

(Fig. 2)





3/8

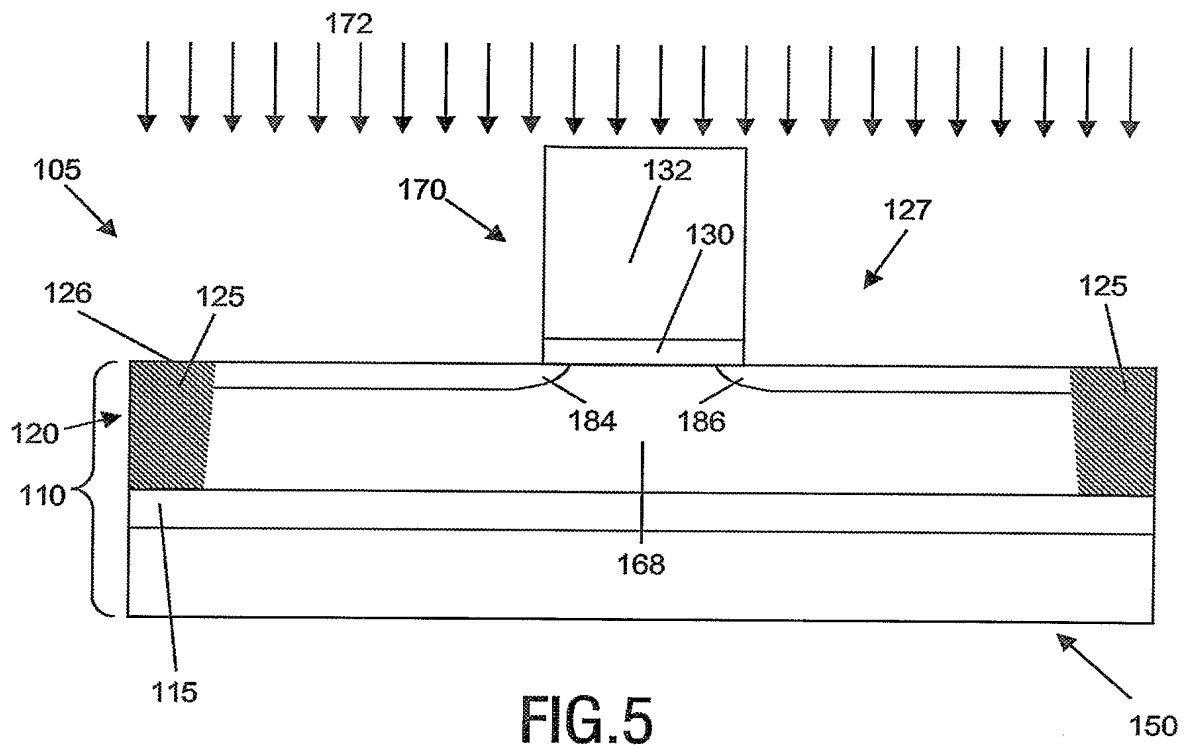


FIG. 5

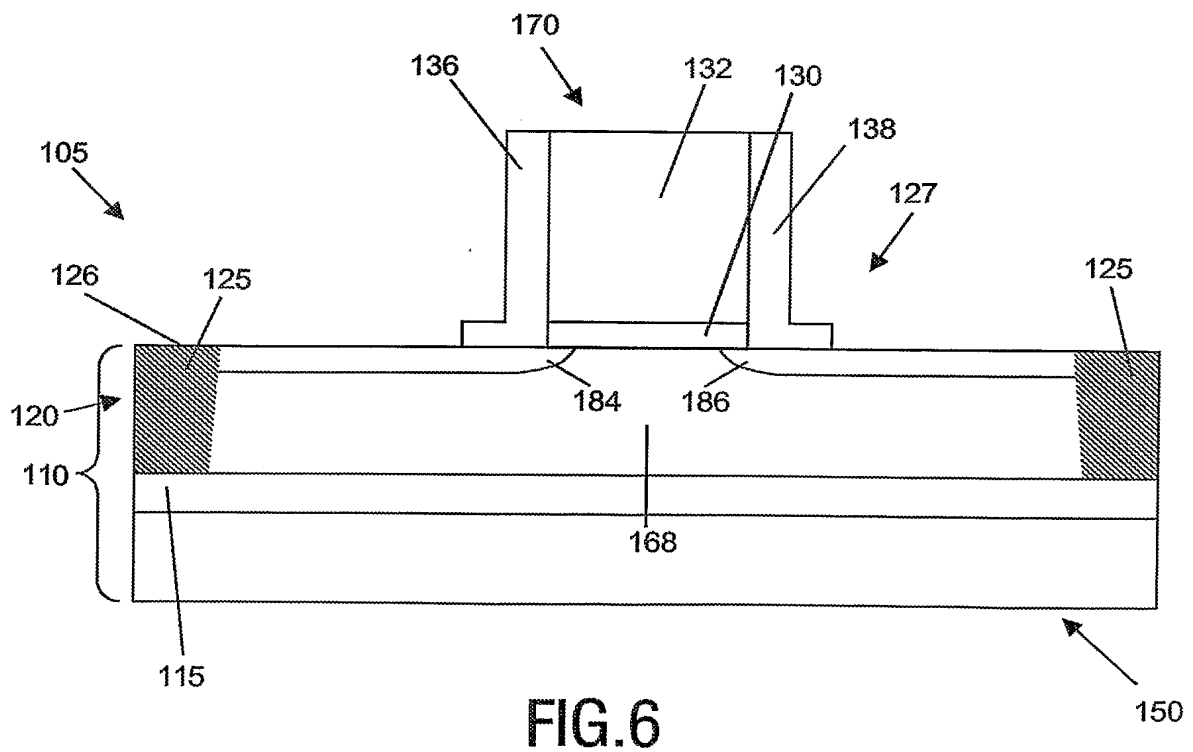


FIG. 6

4/8

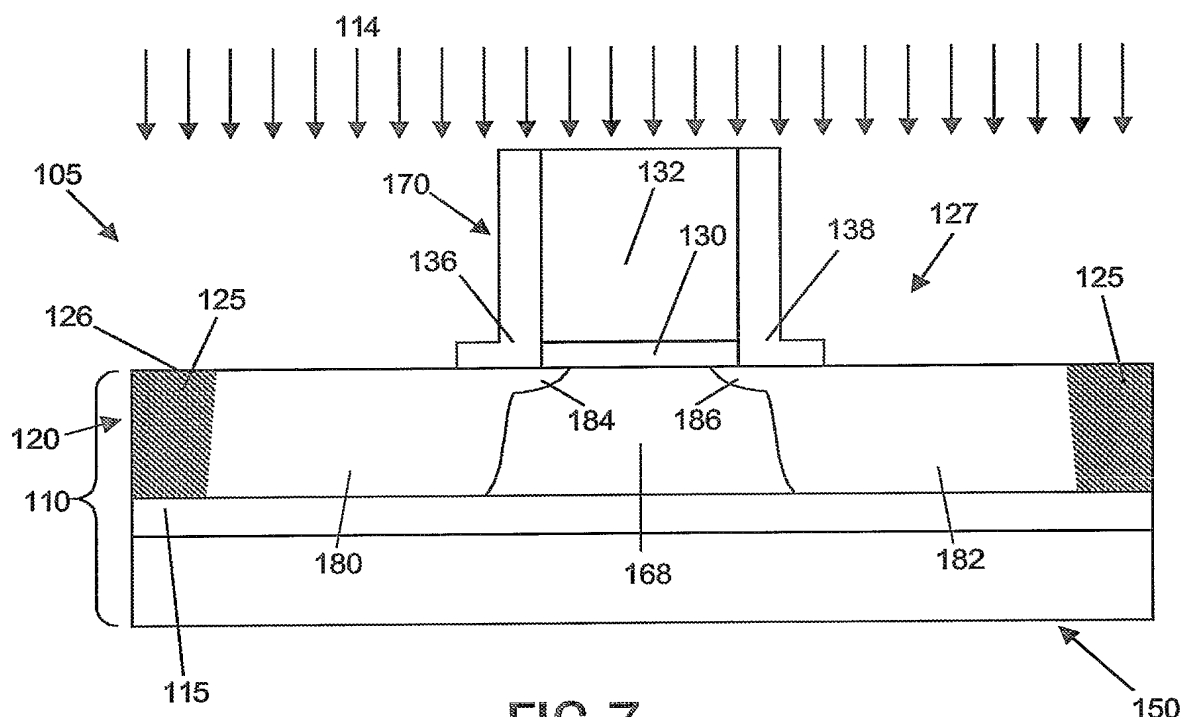


FIG. 7

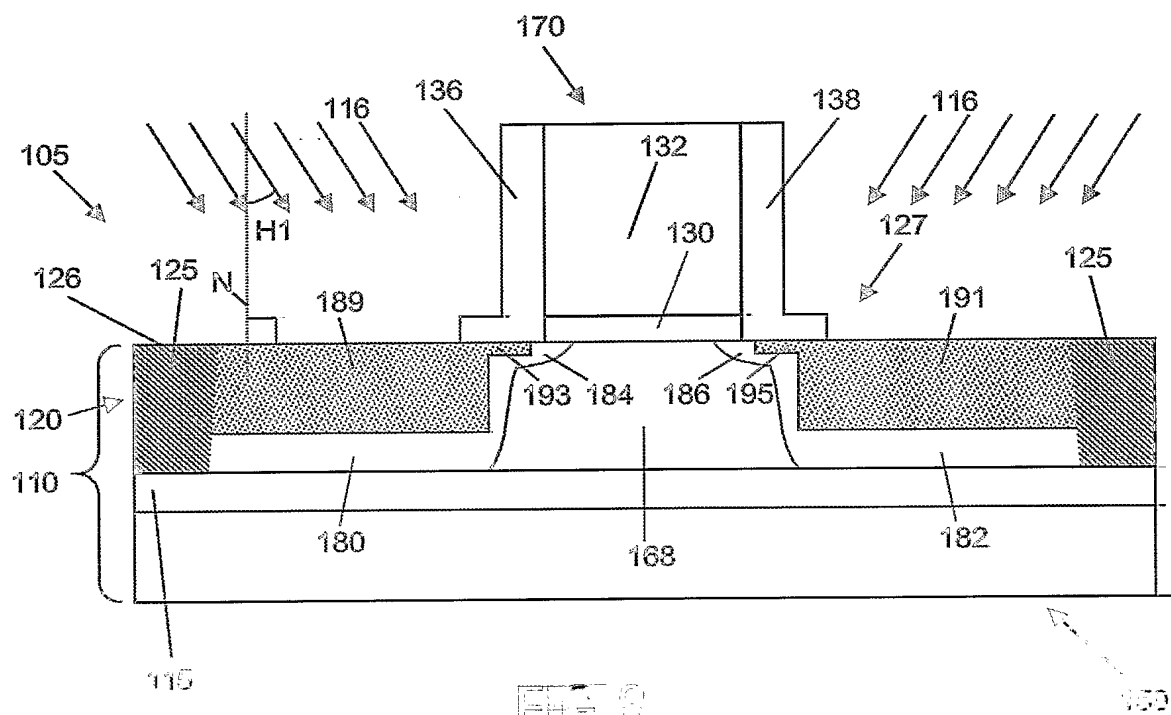
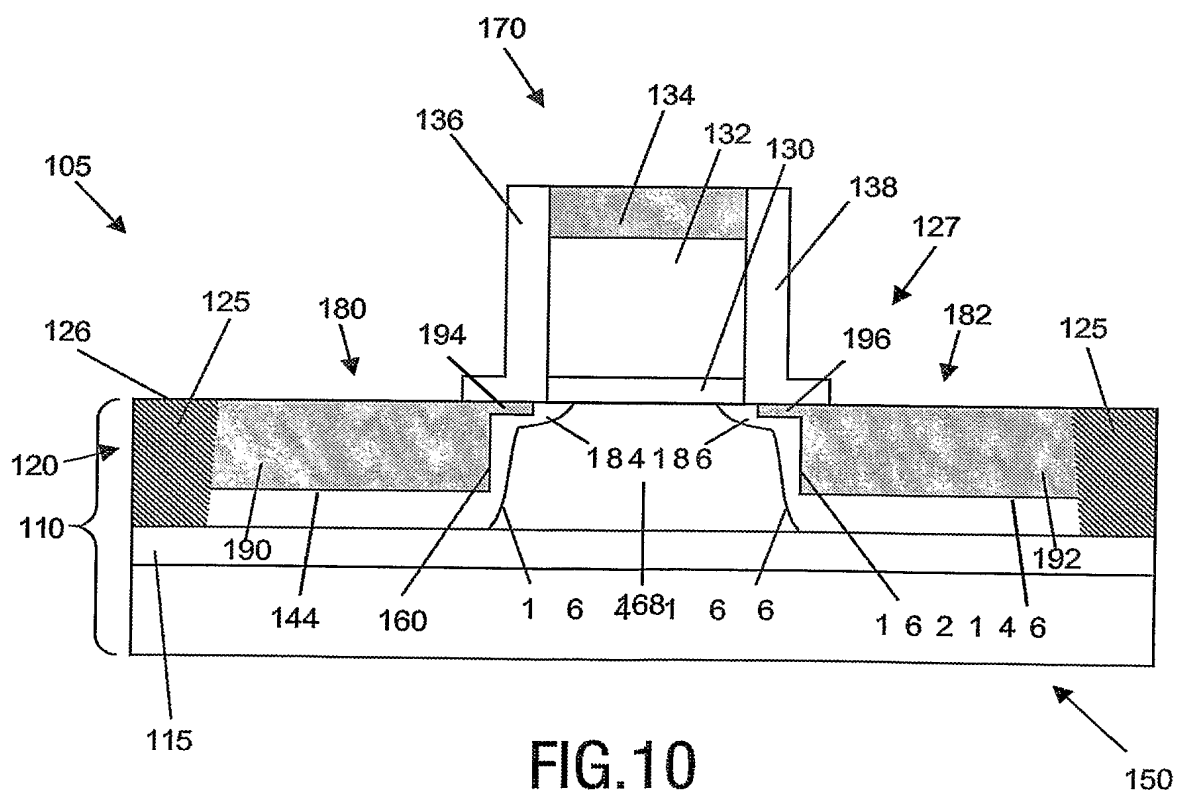
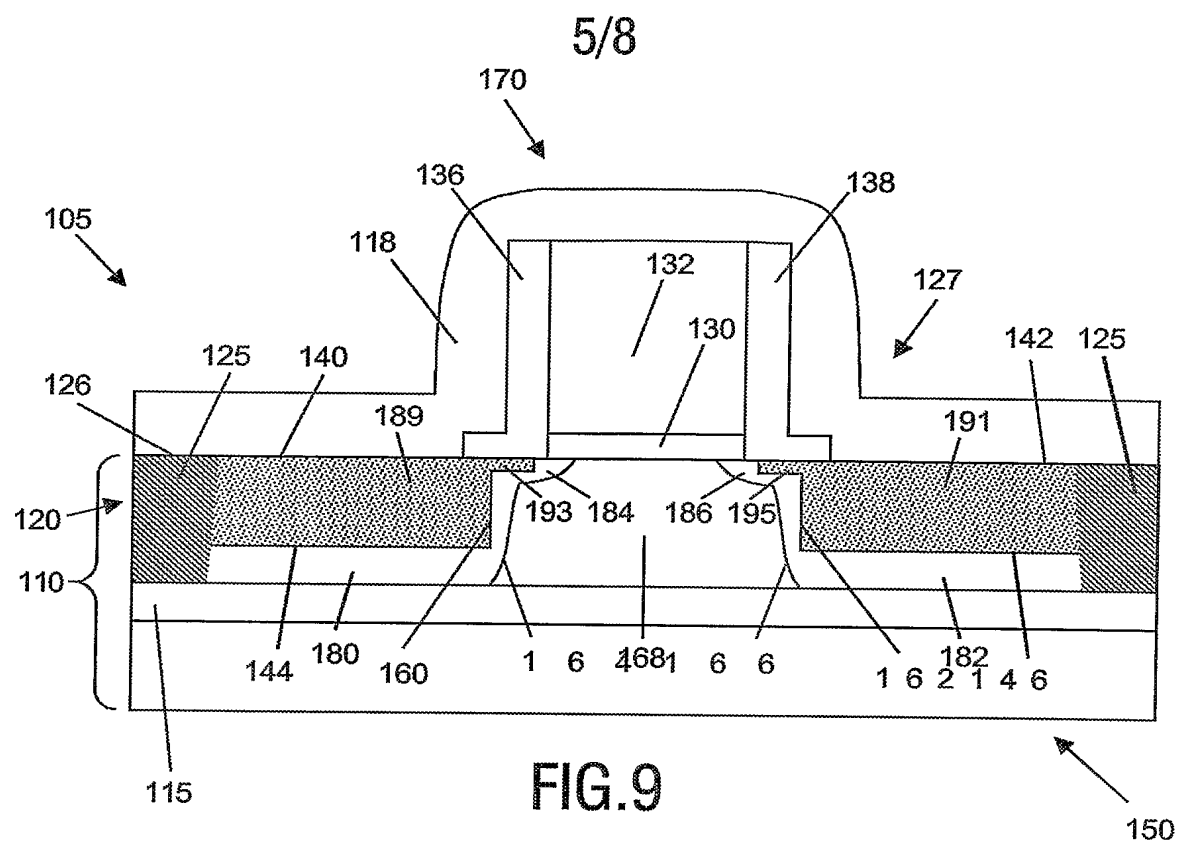


FIG. 8



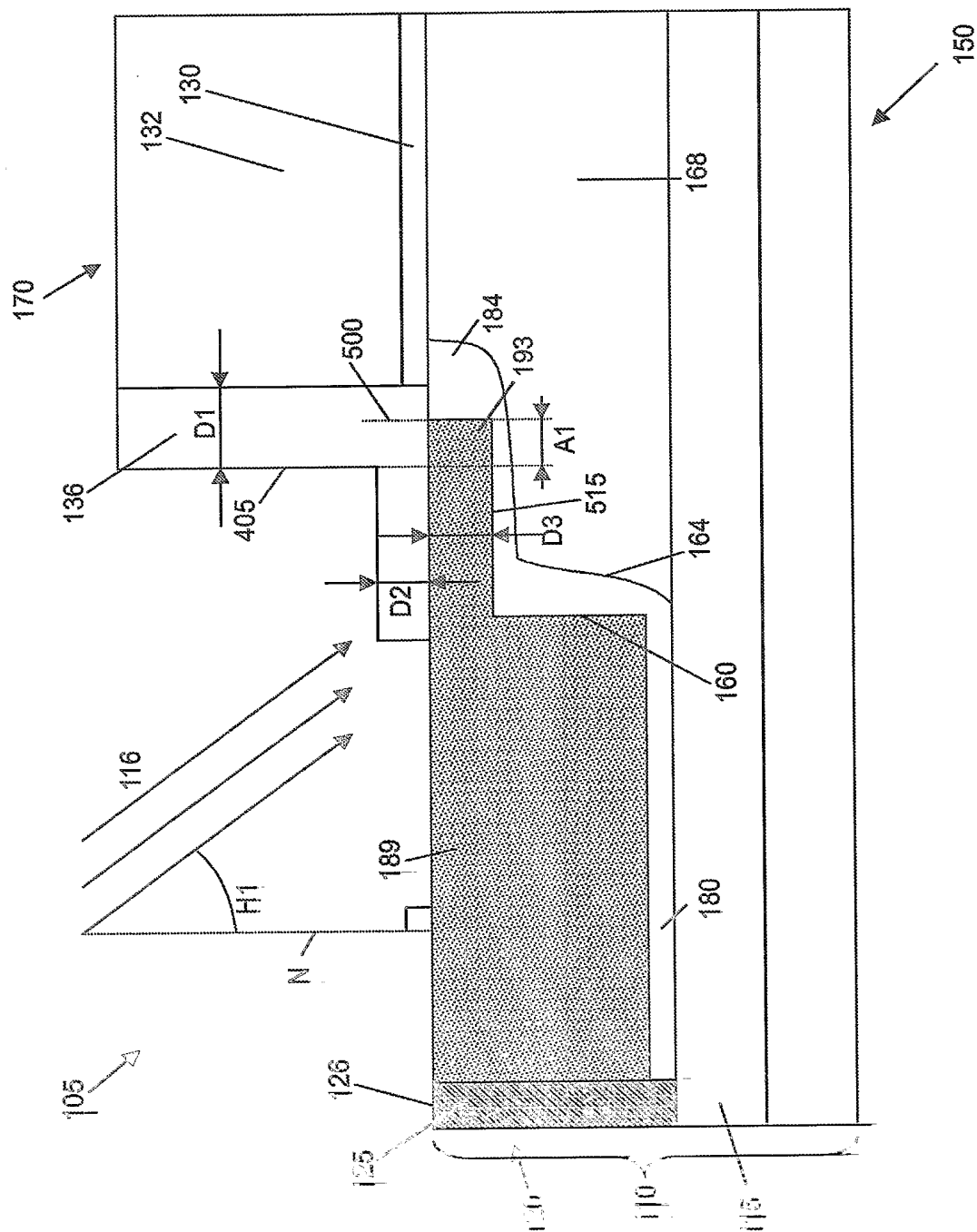


FIG. 11

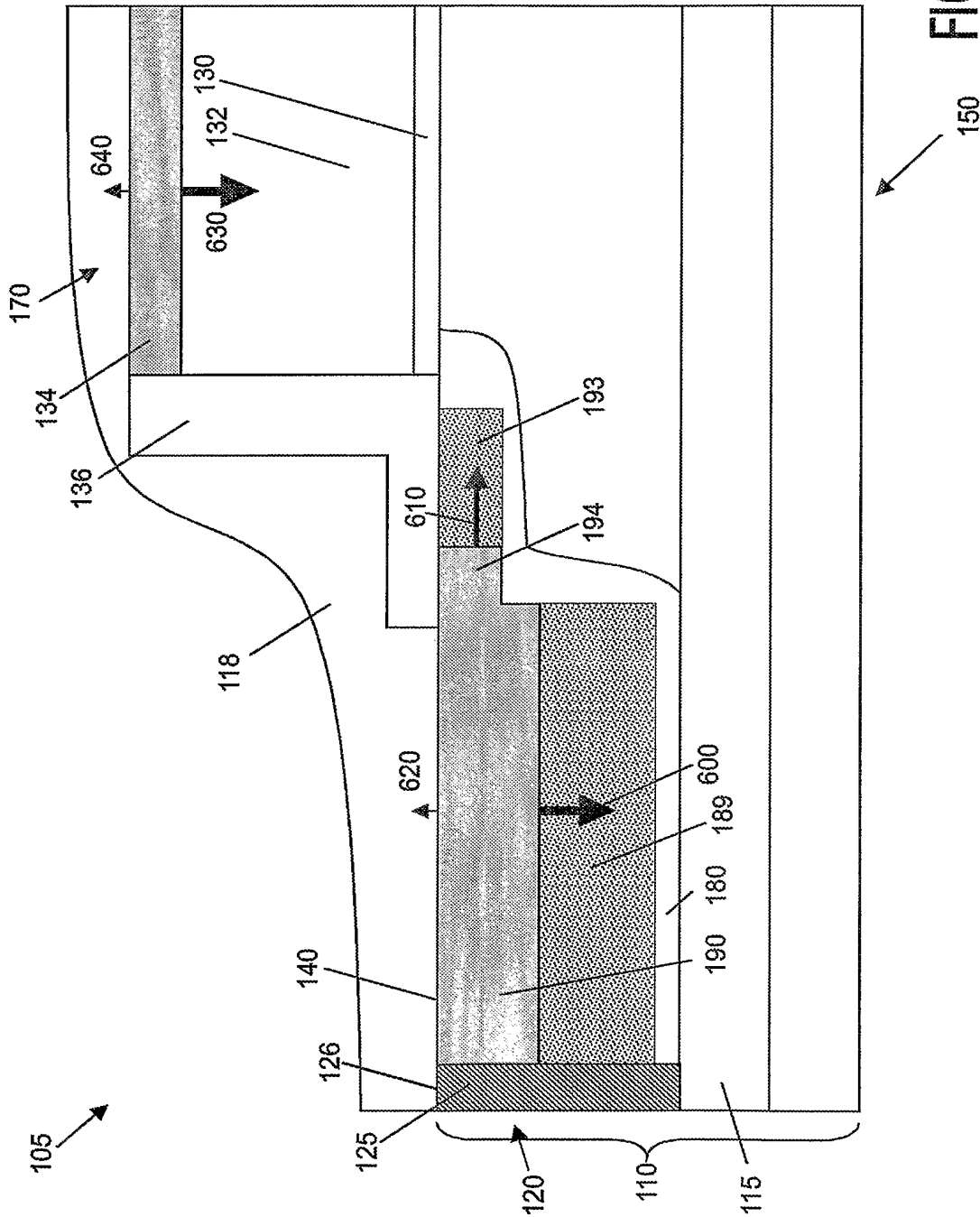
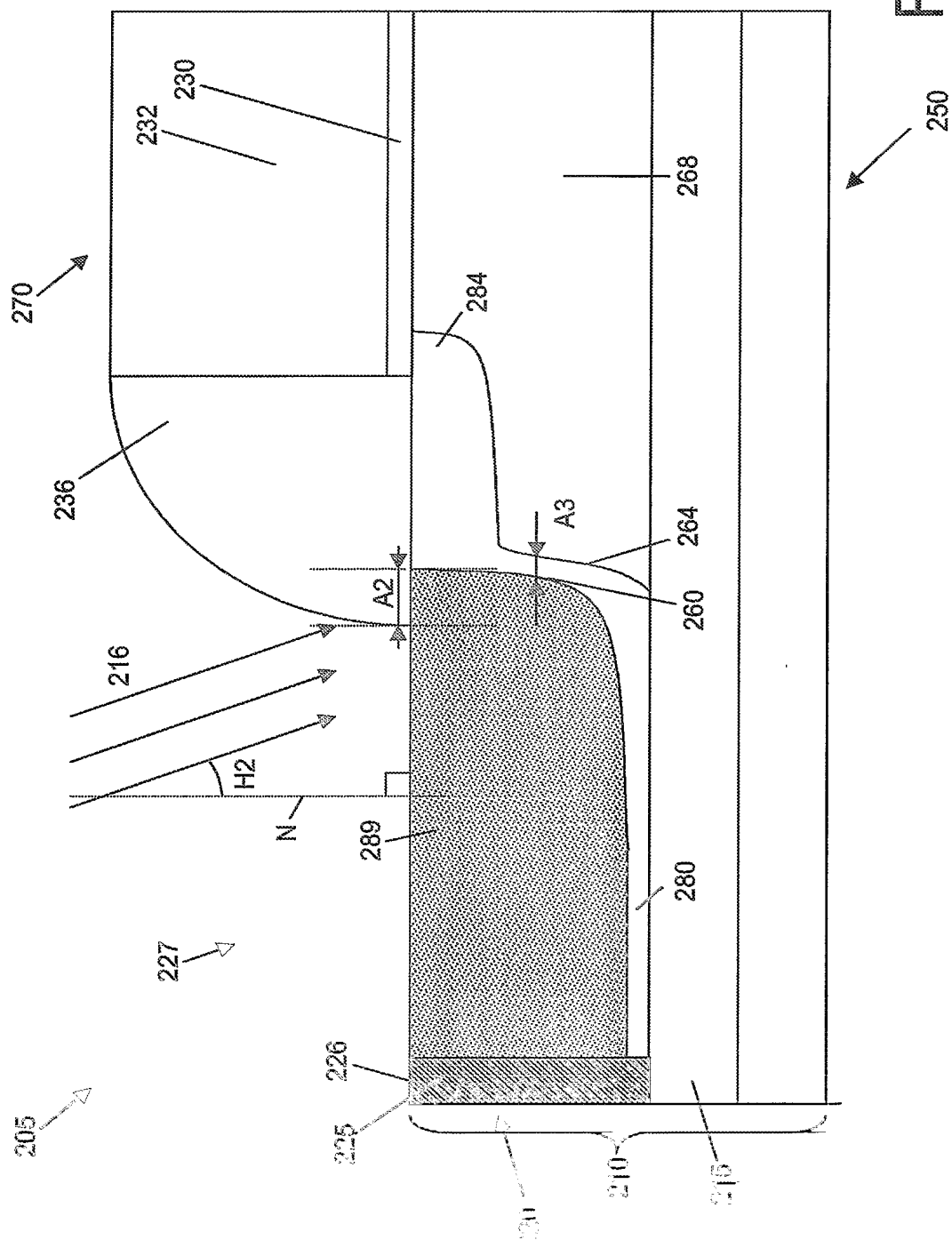


FIG.12



315

IB2005050527

